

**IMPLEMENTASI CHIRP SIGNAL GENERATOR PADA FPGA UNTUK
MISI PENCITRAAN LAPAN SURVEILLANCE AIRCRAFT - SYNTHETIC
APERTURE RADAR (LSA-SAR)
(IMPLEMENTATION OF CHIRP SIGNAL GENERATOR ON FPGA FOR
IMAGING MISSION OF LAPAN SURVEILLANCE AIRCRAFT -
SYNTHETIC APERTURE RADAR (LSA-SAR))**

Andi Mukhtar Tahir dan Ade Putri Septi Jayani
Pusat Teknologi Satelit
Lembaga Penerbangan dan Antariksa Nasional
Jl. Cagak Satelit Km. 4, Bogor 16310 Indonesia
e-mail: andi.mukhtar@lapan.go.id

Diterima 25 September 2015; Direvisi 20 November 2015; Disetujui 27 November 2015

ABSTRACT

Radar works by using electromagnetic wave signal, which is generated by a waveform generator. Most of reflected signal which is reflected by target will be captured by radar to be processed by comparing the transmitted signal with received signal so that can give information about targets velocity, distance, and image. Waveform generator is a device that plays an initial role in a radar system which also determines the performance of a radar system, therefore writer want to make a waveform generator as a first step of experiment about radar technology. The waveform generator that has been made generates chirp signal using a Direct Digital Synthesizer method that used less memories compared to Memory-based chirp generator because it only use reference signal in form of single sine and cosine signal that implemented at Field Programmable Gate Array board Altera Cyclone IV produced by Terasic type DE2-115. The measurement result by using oscilloscope shows the chirp signal has sampling frequency 200 MHz with total sample point 6415 and sampling period 32 us. Meanwhile, the measurement result by using *spectrum analyzer* displays shift frequency, so that bandwidth reach 75,9 MHz. But, over all this result shows that system working well.

Keywords: Radar, Chirp generator, DDS Chirp generator

ABSTRAK

Radar bekerja dengan memanfaatkan sinyal gelombang elektromagnet yang dihasilkan oleh perangkat *waveform generator*. Sinyal yang dipancarkan oleh radar akan dipantulkan sebagian oleh target dan pantulan ini ditangkap oleh radar untuk diolah dengan cara membandingkan sinyal yang dipancarkan dengan sinyal yang dipantulkan kembali sehingga menghasilkan informasi berupa kecepatan, jarak, atau citra dari suatu target. *Waveform generator* merupakan perangkat yang memegang peranan awal dalam sebuah sistem radar yang turut menentukan kinerja dari suatu sistem radar, oleh karena itu pada penelitian ini penulis akan membuat sebuah *waveform generator* sebagai langkah awal dalam percobaan di bidang teknologi radar. *Waveform generator* yang dibuat menghasilkan sinyal *chirp* dengan menggunakan metode *Direct Digital Synthesizer* (DDS) yang menggunakan memori yang lebih kecil dibandingkan *Memory-based Chirp Generator*, karena sinyal referensi yang digunakan hanya berupa sebuah sinyal sinus dan cosinus. *DDS chirp generator* ini diimplementasikan pada *board Field Programmable Gate Array Altera* tipe Cyclone IV yang merupakan *development board* produksi Terasic tipe DE2-115 dan menghasilkan keluaran berupa sinyal *chirp*. Hasil pengukuran sinyal keluaran menggunakan osiloskop menunjukkan sinyal *chirp* dengan frekuensi *sampling* 200 MHz, jumlah *sample* 6415 dan periode *sampling* 32 us, sedangkan pengukuran menggunakan *spectrum analyzer* terlihat terjadi pergeseran nilai frekuensi sehingga *bandwidth* tercapai sebesar 75,9 MHz. Namun secara keseluruhan hasil ini menunjukkan bahwa sistem berjalan dengan baik.

Kata kunci: *Radar, Chirp generator, DDS chirp generator*

1 PENDAHULUAN

Synthetic Aperture Radar (SAR) telah banyak digunakan untuk penginderaan jauh bumi selama lebih dari 30 tahun. Ia menyediakan citra resolusi tinggi, siang dan malam dan bebas dari pengaruh cuaca untuk banyak aplikasi mulai dari *geoscience* dan penelitian perubahan iklim, pemantauan lingkungan dan sistem bumi, pemetaan 2-D dan 3-D, deteksi perubahan, pemetaan 4-D (ruang dan waktu), aplikasi yang berhubungan dengan keamanan hingga eksplorasi planet. SAR telah memasuki zaman keemasan, lebih dari 15 sensor SAR pesawat ruang angkasa (satelit) sedang dioperasikan hari ini dan 10 sistem SAR baru akan diluncurkan dalam lima tahun ke depan [Moreira, Alberto, et al, 2013]. Sensor SAR tidak hanya dikembangkan untuk wahana satelit tetapi juga mulai dikembangkan untuk pesawat tak berawak (*unmanned aerial vehicle, UAV*) [Suto, Kyohei, et al., 2013] [J.T. Sri Sumantyo, et al., 2013] dan pesawat terbang ringan seperti yang akan dikembangkan oleh LAPAN. LAPAN

mempunyai pesawat terbang ringan dua awak yang dirancang untuk melakukan misi *surveillance* seperti foto udara, pemetaan, *monitoring*, dan SAR yang diberi nama *Lapan Surveillance Aircraft* atau disingkat LSA [Tri Setyadewi, Imas dan Estu Broto, Prasepvianto, 2015]. LSA merupakan pesawat terbang yang menggunakan pesawat *STEMME S-15-1* sebagai *basic* utamanya. Pesawat ini termasuk kategori *motorized glider* yaitu merupakan kategori pesawat sayap tetap yang dapat terbang dengan atau tanpa menggunakan daya dorong (*thrust*) yang dihasilkan oleh mesin pesawat [Surastyo, Fuad dan Kusumoaji, Danartomo, 2015].

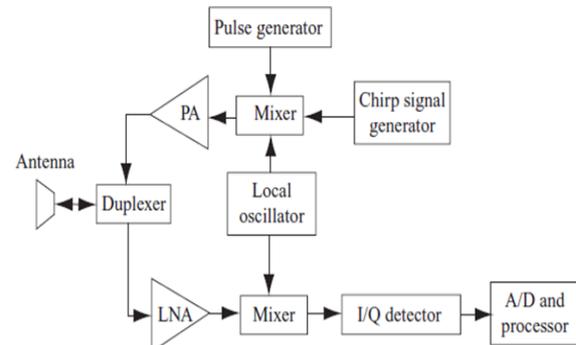
Secara garis besar, radar bekerja dengan cara memancarkan sinyal berupa gelombang mikro yang merupakan bagian dari spektrum gelombang elektromagnet ke arah target yang berada di permukaan bumi, yang kemudian memantulkan kembali sinyal tersebut, dan sinyal pantulan tersebut ditangkap kembali oleh radar untuk diolah sehingga menghasilkan data yang diinginkan, baik berupa informasi

kecepatan, jarak, maupun citra dari target tersebut [Mahafza, Bassem R., 2000]. Untuk menghasilkan sinyal yang akan dipancarkan, sebuah sistem radar harus dilengkapi dengan perangkat pembangkit sinyal atau disebut juga *waveform generator*. Aplikasi radar, khususnya *Synthetic Aperture Radar* kebanyakan menggunakan sinyal *chirp* untuk dipancarkan, karena jenis sinyal ini dapat memenuhi dua kebutuhan utama pulsa radar yang saling bertentangan. Pertama adalah pulsa radar diharapkan memiliki panjang pulsa seminimal mungkin. Hal ini dikarenakan semakin pendek pulsa yang dikirimkan maka akan semakin baik resolusi jarak yang dihasilkan. Kebutuhan yang kedua adalah kebutuhan pulsa dengan energi yang tinggi sehingga dapat mendeteksi dan mengukur target dengan jarak yang lebih jauh. Sinyal *chirp* yang dipancarkan oleh radar ke target akan dipantulkan kembali oleh target kemudian ditangkap oleh radar, sinyal akan melewati *matched filter* untuk dikembalikan kedalam bentuk *impulse signal*, sehingga sistem yang melakukan pengukuran jarak akan mendeteksi pulsa yang pendek sedangkan bagian *power handling* akan mendeteksi sinyal dengan durasi yang panjang [Samarah, Ashraf, 2012].

Penelitian ini difokuskan pada pembuatan sebuah *waveform generator* sebagai langkah awal dalam percobaan di bidang teknologi radar. Karena *waveform generator* yang dibuat ini menghasilkan sinyal *chirp* maka juga disebut *chirp signal generator*.

Dalam makalah ini dijelaskan tentang rancangan pembangkit sinyal *chirp* dan diimplementasikan ke dalam komponen *Field Programmable Gate Array* (FPGA) menggunakan metode DDS dengan tujuan memenuhi kebutuhan akan pembangkit sinyal *chirp* dengan menggunakan memori yang lebih kecil pada misi SAR *Lapan Surveillance*

Aircraft (LSA). Gambar 1-1 menunjukkan contoh kedudukan *chirp generator* pada sistem SAR.

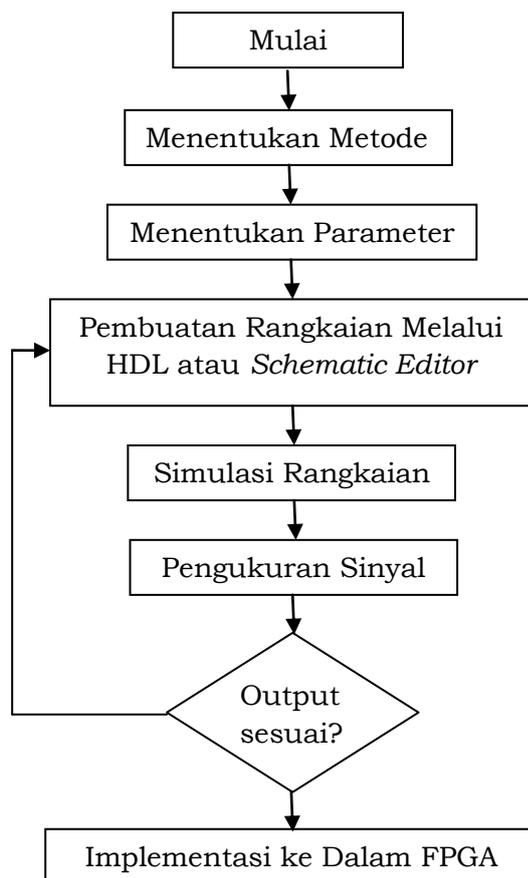


Gambar 1-1: Contoh kedudukan *chirp generator* pada sistem SAR

2 METODOLOGI

Dalam merancang *Chirp Signal Generator* dimulai dengan menentukan kebutuhan-kebutuhan akan sinyal *chirp*, kemudian memilih metode rancangan *Chirp Signal Generator* melalui studi dan pertimbangan berdasar pada periode bit, kompleksitas, biaya, jenis komponen, dan fleksibilitas, dilanjutkan dengan membuat skema rangkaian FPGA, kemudian pengetesan sinyal keluaran sebelum di implementasikan pada FPGA. Proses pelaksanaan perancangan ini seperti digambarkan pada diagram alir pada Gambar 2-1.

Chirp Signal Generator yang dirancang ini didasarkan pada kebutuhan akan sinyal *chirp* pada LSA-SAR, yaitu membangkitkan sinyal *chirp* dengan *bandwidth* 80 MHz. Pendekatan yang dilakukan untuk menghasilkan pembangkit sinyal *chirp* ini adalah pendekatan digital dengan metode *Direct Digital Synthesizer* (DDS) untuk memudahkan pengendalian sinyal, kemudian di deskripsikan menggunakan bahasa *Very High Speed Integrated Circuit HDL* (VHDL) yang merupakan salah satu jenis bahasa *hardware* (*Hardware Description Language/HDL*) sebelum diimplementasikan ke dalam FPGA.



Gambar 2-1: Proses perancangan Chirp Signal Generator

3 DASAR TEORI

Sinyal *chirp* atau dikenal juga sebagai sinyal *Linear Frequency Modulated* (LFM) adalah sinyal yang frekuensi sesaatnya linier terhadap waktu. Frekuensi sinyal *chirp* bervariasi naik turun terhadap waktu, sinyal *chirp* yang frekuensinya semakin naik disebut *up-chirp*, sedangkan yang frekuensinya semakin turun disebut *down-chirp*. Secara matematis *chirp signal* dinyatakan dengan persamaan (3-1) berikut ini [Cumming, Ian. G, dan Frank H.Wong, 2005];

$$x(t) = \text{rect}\left(\frac{t}{T}\right) A e^{j\pi\beta t^2} \quad (3-1)$$

dimana,

A = amplitude

T = durasi pulsa

t = variabel waktu (detik)

β = LFM rate atau *chirp rate* (hertz/detik)

Persamaan di atas digunakan sebagai formula untuk membangkitkan sinyal referensi dengan menggunakan alat bantu MATLAB 2009, yang akan

diisikan pada blok memori pada rangkaian FPGA. Selain itu, sinyal ini dapat juga dinyatakan dalam istilah sinus dan kosinus. Menggunakan teorema *Euler*, persamaan (3-1) dapat dinyatakan sebagai;

$$x(t) = \text{rect}\left(\frac{t}{T}\right) [\cos(\pi\beta t^2) + j\sin(\pi\beta t^2)] \quad (3-2)$$

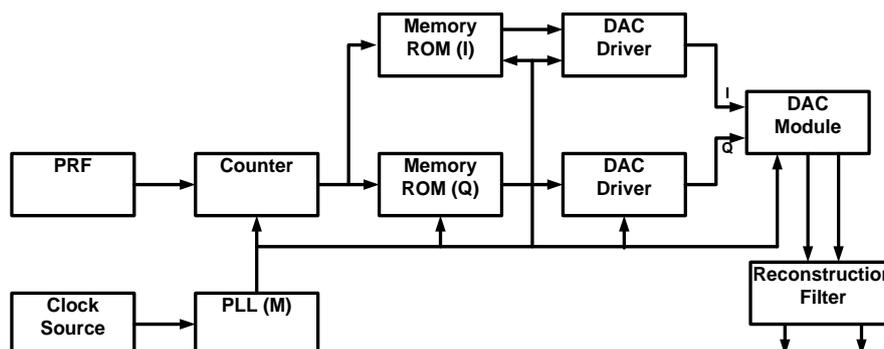
Chirp signal dapat dibangkitkan secara analog maupun digital. Secara analog, *chirp signal* dapat dibangkitkan dengan menggunakan *Voltage Controlled Oscillator* (VCO), sinyal *up-chirp* dan *down-chirp* dapat dihasilkan dengan menambahkan sinyal tegangan *ramp-up* dan *ramp-down* linier ke VCO. Namun, karena membangkitkan *chirp signal* secara analog dengan menggunakan VCO memiliki beberapa keterbatasan, sehingga sekarang ini *chirp signal* lebih banyak dibangkitkan menggunakan rangkaian digital. *Digital chirp generator* memiliki kelebihan seperti teknik digital umumnya, misalnya dalam hal stabilitas, fleksibilitas, dan biaya yang murah. Selain itu tidak seperti *analog chirp generator*, pada *digital chirp generator*, parameter sinyal yang dibangkitkan secara digital seperti jenis modulasi, frekuensi *start* dan *stop*, dan durasi sinyal keluaran dapat diatur dengan mudah dengan cara mengubah *firmware* dan isi memori dari *digital generator*.

Dalam penerapannya, *digital chirp generator* dapat diimplementasikan menggunakan komponen elektronik digital yang terdiri dari sejumlah *Integrated Circuits* (IC), yang diantaranya terdiri dari beberapa *IC counter*, *memory*, *controller*, dan *Digital to Analog Converter* (DAC). Selain itu, *digital chirp generator* juga dapat diwujudkan dengan menggunakan *Field Programmable Gate Array* (FPGA), yaitu perangkat semikonduktor yang merupakan kombinasi dari perangkat keras yang saling terhubung dan diisi dengan program logika untuk menghasilkan fungsi kombinasi yang lebih kompleks seperti *counter*, *multiplexer*, *decoder*, dan memori.

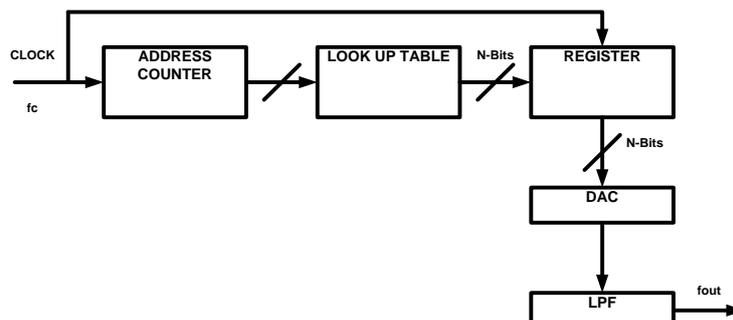
Arsitektur *digital chirp generator* yang banyak digunakan adalah arsitektur berbasis memori dan arsitektur *Direct Digital Synthesizer* (DDS). Pada arsitektur yang pertama yaitu *memory-based chirp generator*, *chirp signal* disimpan pada perangkat memori seperti ROM atau PROM, sehingga pembangkitan *chirp signal* akan lebih mudah dan akurasi sinyal relatif lebih tinggi. Namun kelemahannya adalah apabila parameter sinyal yang diinginkan berbeda dengan parameter sinyal yang tersimpan di memori akan sulit untuk mengubah konfigurasi dari *memory-based chirp generator*. Sebagai contoh, karakteristik *chirp signal* seperti *Pulse Repetition Interval* (PRI) dan *Pulse Repetition Frequency* (PRF) akan berubah sesuai dengan mode pengambilan citra yang digunakan, sedangkan untuk menyimpan semua jenis sinyal dibutuhkan memori yang sangat besar dan pada akhirnya akan berdampak pada ukuran dari *pulse generator* tersebut [Chua, M. Y. and V. C. Koo., 2009] [Hein Yang, *et al.*]. Pada Gambar 3-1 diperlihatkan contoh blok diagram *Memory-Based Chirp Generator* yang terdiri dari *binary counter*, *memory block*, *driver DAC*, *phase lock loop*

(PLL), modul DAC, dan filter rekonstruksi yang berfungsi untuk menghasilkan sinyal analog yang halus.

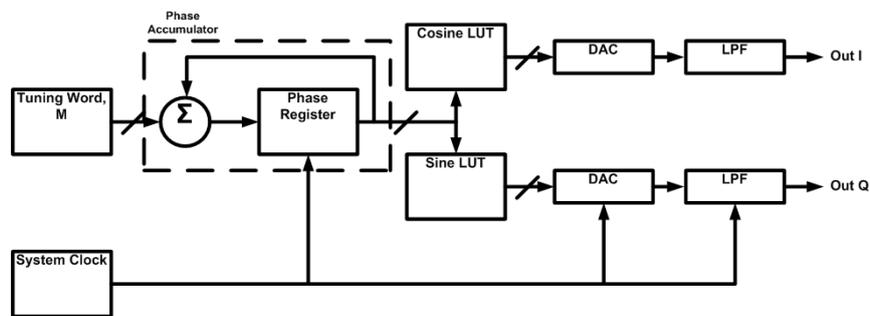
Arsitektur *digital chirp generator* yang kedua adalah menggunakan metode *Direct Digital Synthesizer* (DDS). Metode DDS adalah metode dimana sinyal analog, biasanya berupa gelombang *sinusoidal*, dihasilkan dengan cara membangkitkan sinyal yang berubah-ubah terhadap waktu dalam bentuk digital kemudian diubah ke bentuk analog dengan menggunakan *Digital to Analog Converter*. Frekuensi keluaran dari DDS tergantung pada dua faktor utama yaitu frekuensi *reference clock* dan ukuran langkah gelombang sinus yang disimpan di PROM [K. V. Raeshma, 2014,]. Kelebihan dari metode ini adalah resolusi frekuensi yang lebih baik, spektrum frekuensi yang lebih luas, membutuhkan memori yang lebih sedikit, dan ukuran yang lebih kecil. Gambar 3-1 menunjukkan blok diagram DDS sederhana yang terdiri dari rangkaian *clock*, *address counter*, blok *Programable Read Only Memory* (PROM) yang terdiri dari *Look Up Table* (LUT) dan *register*, *Digital to Analog Converter* (DAC), dan *Low Pass Filter* (LPF).



Gambar 3-1: Blok diagram *memory-based chirp generator* [Chua, M.Y. and V.C. Koo, 2009]



Gambar 3-2: Blok diagram *direct digital synthesizer* sederhana [Analog Devices, Inc., 2009]



Gambar 3-3: Blok diagram *dds chirp generator* [Chua, M. Y. And V. C. Koo, 2009]

Look Up Table menyimpan representasi digital dari gelombang yang diinginkan dalam satu periode, di mana setiap baris pada LUT berisi *sample* amplitudo gelombang. Saat *counter* berada pada salah satu baris dari LUT ini, amplitudo digital pada posisi itu akan diteruskan ke DAC sehingga menghasilkan keluaran sinyal analog. Saat *counter* mencapai akhir LUT, maka siklus akan dimulai dari baris pertama kembali. Frekuensi sinyal keluaran dapat diatur dengan mengubah nilai pada LUT [Wicks, Brandon and Adam Elliott, 2007]. LPF berfungsi untuk menguatkan sinyal keluaran dan menyaring sinyal dengan frekuensi tinggi yang timbul akibat proses digital.

DDS bekerja berdasarkan hubungan antara frekuensi dan fasa dari sebuah gelombang *sinusoidal*. Gambar 3-3 menunjukkan contoh blok diagram *DDS Chirp Generator* yang terdiri dari blok *phase accumulator*, satu LUT untuk menghasilkan sinyal *sinus* (kanal I) dan satu LUT untuk menghasilkan sinyal *cosines* (kanal Q), masing-masing diikuti dengan sebuah DAC dan sebuah LPF. *Phase accumulator* merupakan sebuah *counter* yang akan menambahkan nilai yang disimpan setiap kali menerima pulsa *clock*. Jumlah nilai yang ditambahkan diatur dengan menggunakan *tuning word* [Chua, M. Y. And V. C. Koo, 2009].

4 RANCANGAN DAN IMPLEMENTASI SISTEM

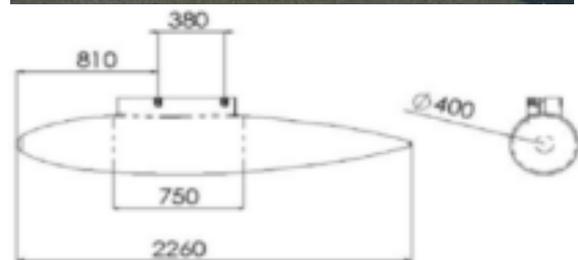
4.1 Spesifikasi Sistem

SAR pada LSA dirancang untuk beroperasi pada frekuensi *C-Band*

dengan kemampuan *quad-polarimetric* (HH, HV, VH, dan VV) [Soleh, M. dan Arief, Rahmat, 2014]. Pesawat LSA sendiri sudah dilengkapi dengan *mounting* untuk menempatkan muatan (sensor) penginderaan jauh di bawah badan pesawat dan dua buah di bawah kanan dan kiri sayap seperti terlihat pada Gambar 4-1 [Hakim, *et al.*, 2012]. Spesifikasi pesawat LSA diperlihatkan pada Tabel 4-1.

Tabel 4-1: SPESIFIKASI LSA SAR

Spesifikasi	Satuan
Total length	8.52 m
Total height	2.45 m
Wing span	18 m
Max. payload weight under each wing	70 kg
Max. baggage weight	20 kg
Velocity	36.11 m/s
Operating altitude	400 m – 2000 m
Max. range	1300 km



Gambar 4-1: *Mounting* sensor SAR pada *pod* LSA

Parameter *chirp generator* yang dirancang mempunyai *bandwidth* 80 MHz, ini mengacu pada penelitian sebelumnya yang dilakukan oleh Muchammad Soleh dan kawan kawan. Adapun parameter-parameter utama dari sinyal *chirp* ini seperti diperlihatkan pada Tabel 4- 2.

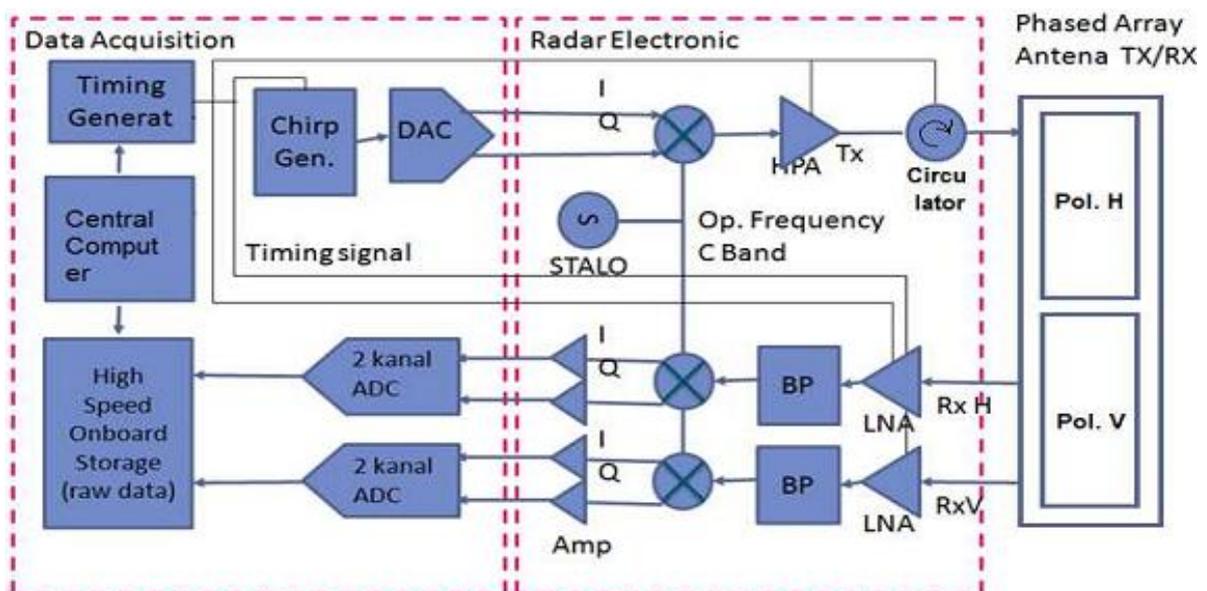
Tabel 4-2: PARAMETER SINYAL CHIRP YANG DIRANCANG

Parameter	Nilai
Frekuensi sampling	200 MHz
Interval sampling	5 ns
Frekuensi min	1 MHz
Frekuensi max	81 MHz
Bandwidth <i>chirp</i>	80 MHz
Slope <i>chirp</i>	5 MHz/us
<i>Data bit resolution</i>	14

Kedudukan *chirp generator* pada sistem SAR yang ada pada LSA seperti ditunjukkan pada Gambar 4-2, dimana keluaran dari *chirp generator* ini dihubungkan ke DAC menggunakan metode *IP logic* yaitu sistem menghitung data *waveform* menggunakan logika yang diimplementasikan dalam FPGA.

4.2 Rancangan Sistem

Rancangan *chirp generator* ini menggunakan bentuk arsitektur DDS *chirp generator* mengingat kelebihan yang dimilikinya dibandingkan dengan arsitektur yang berbasis memori atau *chirp generator* analog. Pada blok diagram DDS sederhana seperti yang diperlihatkan pada Gambar 3-2 terdiri dari beberapa blok, salah satunya adalah *address counter*. *Counter* merupakan rangkaian logika sekuensial yang mengeluarkan urutan keadaan-keadaan tertentu yang merupakan aplikasi dari pulsa-pulsa *input*-nya, dimana pulsa *input* dapat berupa pulsa *clock* atau pulsa yang dibangkitkan oleh sumber eksternal dan muncul pada interval waktu tertentu. Pada rangkaian DDS, *counter* berfungsi untuk mengambil konten dari setiap komponen nilai yang tersimpan dalam *Look Up Table* yang disimpan pada *Programmable Read Only Memory* (PROM) berupa informasi amplitudo digital. Blok DDS ini dideskripsikan menggunakan bahasa *Very High Speed Integrated Circuit HDL* (VHDL), yang merupakan salah satu jenis bahasa *hardware* (*HDL/Hardware Description Language*).

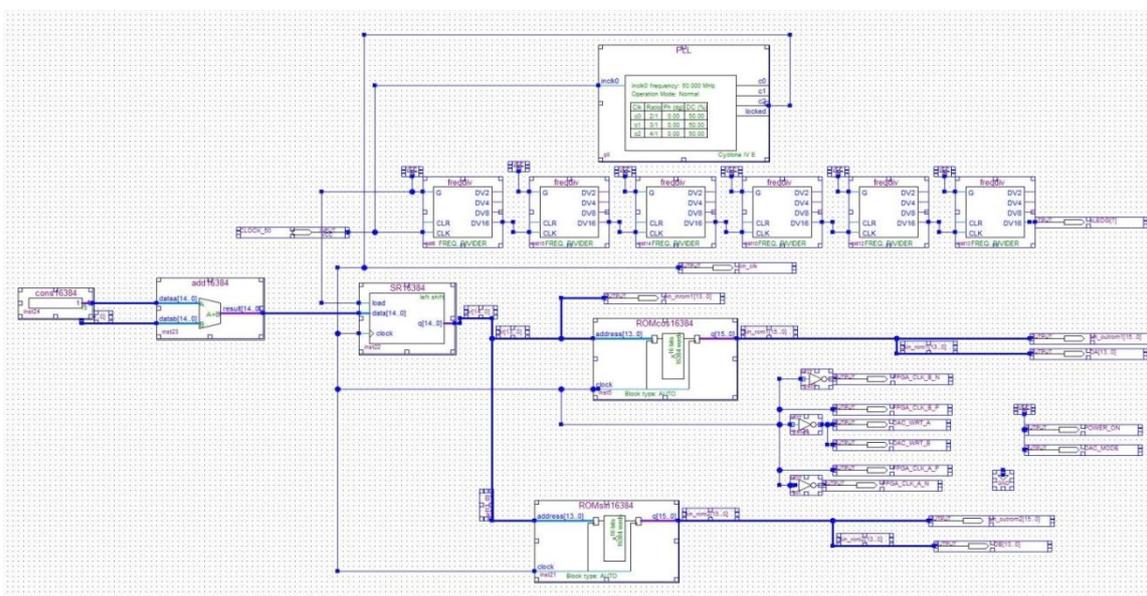


Gambar 4-2: Arsitektur perangkat keras LSA polarimetrik SAR [Soleh, M., et al., 2013]

Untuk membuat blok *counter* menggunakan bahasa VHDL perlu diketahui nilai konstanta dari frekuensi minimum dan frekuensi maksimum untuk menentukan *range* dari *counter* yang akan dibuat. Sebagai langkah awal dibuat *DDS Chirp Generator* menggunakan blok konstanta untuk menentukan konstanta minimum dan maksimum seperti tampak pada Gambar 4-3, yang terdiri dari *clock*, *PLL*, konstanta, *adder*, *shift register*, ROM sinus, ROM cosinus, dan masing-masing diikuti dengan *Digital to Analog Converter* (DAC).

Saat frekuensi minimum sinyal keluaran yang diinginkan adalah sebesar 1 MHz maka frekuensi maksimal dapat tercapai dengan mengatur blok konstanta dengan nilai konstanta 85. Pada saat frekuensi maksimum sinyal keluaran yang diinginkan adalah sebesar 81MHz maka frekuensi maksimal dapat dicapai dengan mengatur blok konstanta dengan nilai konstanta 6500.

Berdasarkan jumlah konstanta minimum dan maksimum tersebut, dibuat *counter* menggunakan VHDL dengan *script* seperti pada Gambar 4-4.



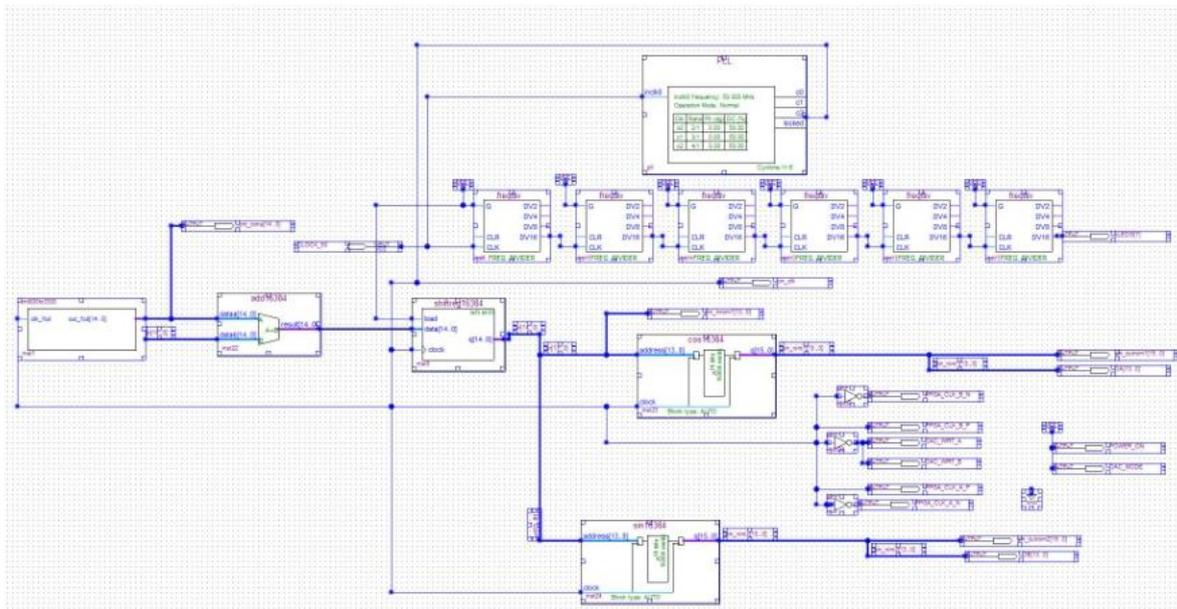
Gambar 4-3: Skema rangkaian DDS menggunakan konstanta

```

1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use ieee.numeric_std.all;
4
5
6  entity cnt85to6500 is
7  Port (
8      clk_fcd : in  STD_LOGIC;
9      out_fcd  : out STD_LOGIC_VECTOR(14 DOWNTO 0)
10 );
11 end cnt85to6500;
12
13 architecture Behavioral of cnt85to6500 is
14     signal cnt_fcd : integer range 0 to 6559:= 0;
15 begin
16     process (clk_fcd)
17     begin
18         if rising_edge(clk_fcd) then
19             if cnt_fcd < 85 then
20                 cnt_fcd <= 85;
21             elsif cnt_fcd < 6500 then
22                 cnt_fcd <= cnt_fcd + 1;
23             elsif cnt_fcd < 6500 then
24                 cnt_fcd <=85 ;
25             end if;
26         end if;
27         out_fcd <= std_logic_vector(to_unsigned(cnt_fcd,15));
28     end process;
29 end Behavioral;
30

```

Gambar 4-4: Script counter VHDL



Gambar 4-5: Skema rangkaian DDS menggunakan Counter VHDL

Setelah *script* untuk *counter* VHDL dibuat, selanjutnya blok konstanta yang digunakan pada rangkaian sebelumnya digantikan dengan blok *counter* VHDL. Dengan demikian, secara garis besar, rangkaian *DDS chirp generator* terdiri atas 2 bagian, yaitu *phase accumulator* dan *sinus cosinus generator*. *Phase accumulator* terdiri dari blok-blok *counter* VHDL, *adder*, dan *shift register* sedangkan *sinus cosinus generator* terdiri dari ROM sinus, ROM cosinus, dan masing-masing diikuti dengan *Digital to Analog Converter* (DAC) dan ditambah dengan *clock* dan PLL sebagai pemicu seperti yang terlihat pada Gambar 4-5.

5 HASIL DAN ANALISA

Sebelum melakukan pengukuran, rangkaian *DDS chirp generator* yang sudah dibuat dijalankan dan sinyal hasil keluarannya disimulasikan menggunakan tools *Signal Tap Logic Analyzer* pada FPGA. Pada Gambar 5-1. menunjukkan hasil simulasi berupa *Timing Diagram DDS Chirp Generator* menggunakan *counterVHDL* yang menunjukkan keluaran dari blok *counter*, keluaran sinyal *clock*, keluaran sinyal *sinus*, dan keluaran sinyal *cosinus*. Dari hasil simulasi terlihat bahwa *counter* bekerja dari 85 sampai

dengan 6500 dan kembali lagi ke 85, sinyal keluaran *clock* semakin rapat yang artinya frekuensi sinyal semakin naik sesuai dengan prinsip sinyal *chirp* yang frekuensinya semakin naik terhadap waktu, begitu juga dengan sinyal keluaran dari ROM sinus dan cosinus.

Dengan mengetahui nilai konstanta minimum dan maksimum, jumlah titik *sample* dapat dihitung:

$Total\ sample\ point = konstanta\ maksimum - konstanta\ minimum$

$$Total\ sample\ point = 6500 - 85 = 6415$$

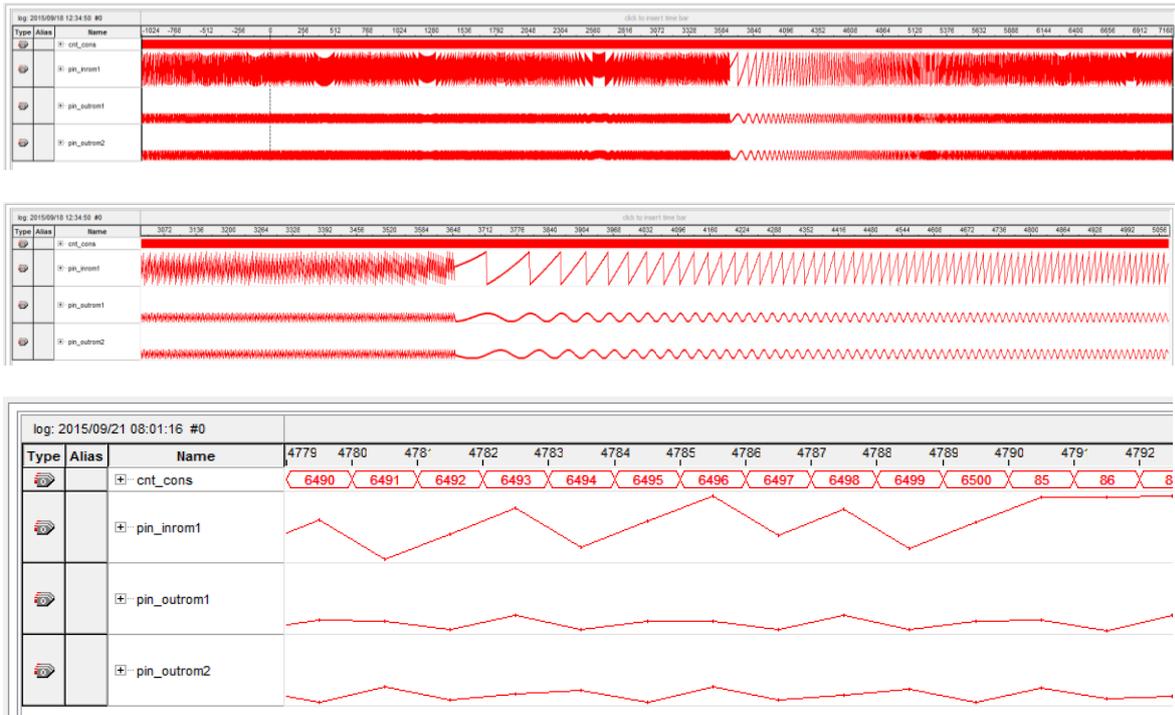
Chirp duration dapat diperoleh dengan membagi *total sample point* dengan frekuensi *sampling* sebagai berikut:

$$Chirp\ duration = \frac{totalsamplepoint}{frekuensisampling}$$

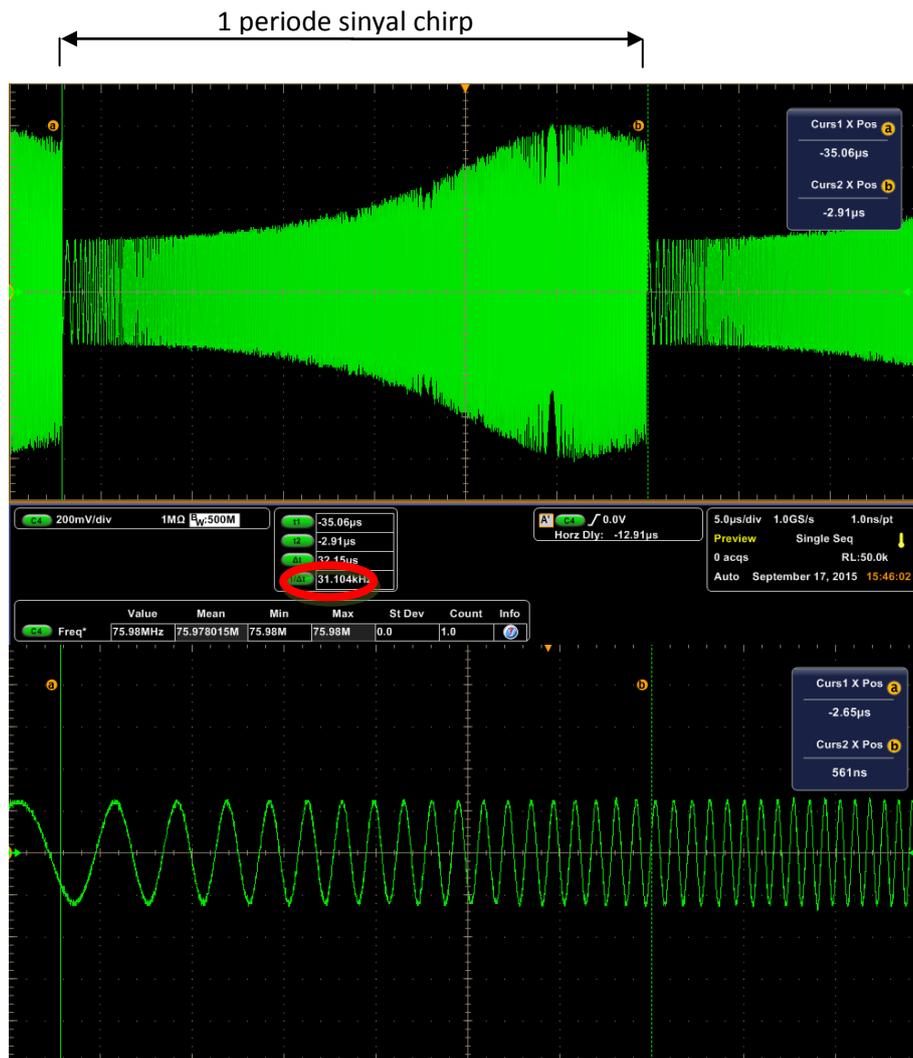
$$Chirp\ duration = \frac{6415}{200 \times 10^6} = 32 \times 10^{-9} \text{ s}$$

Chirp duration merupakan lamanya satu periode sinyal *chirp* yang dapat digunakan sebagai parameter apakah sinyal keluaran yang nantinya diukur dengan menggunakan osiloskop sesuai dengan hasil perhitungan sebelumnya.

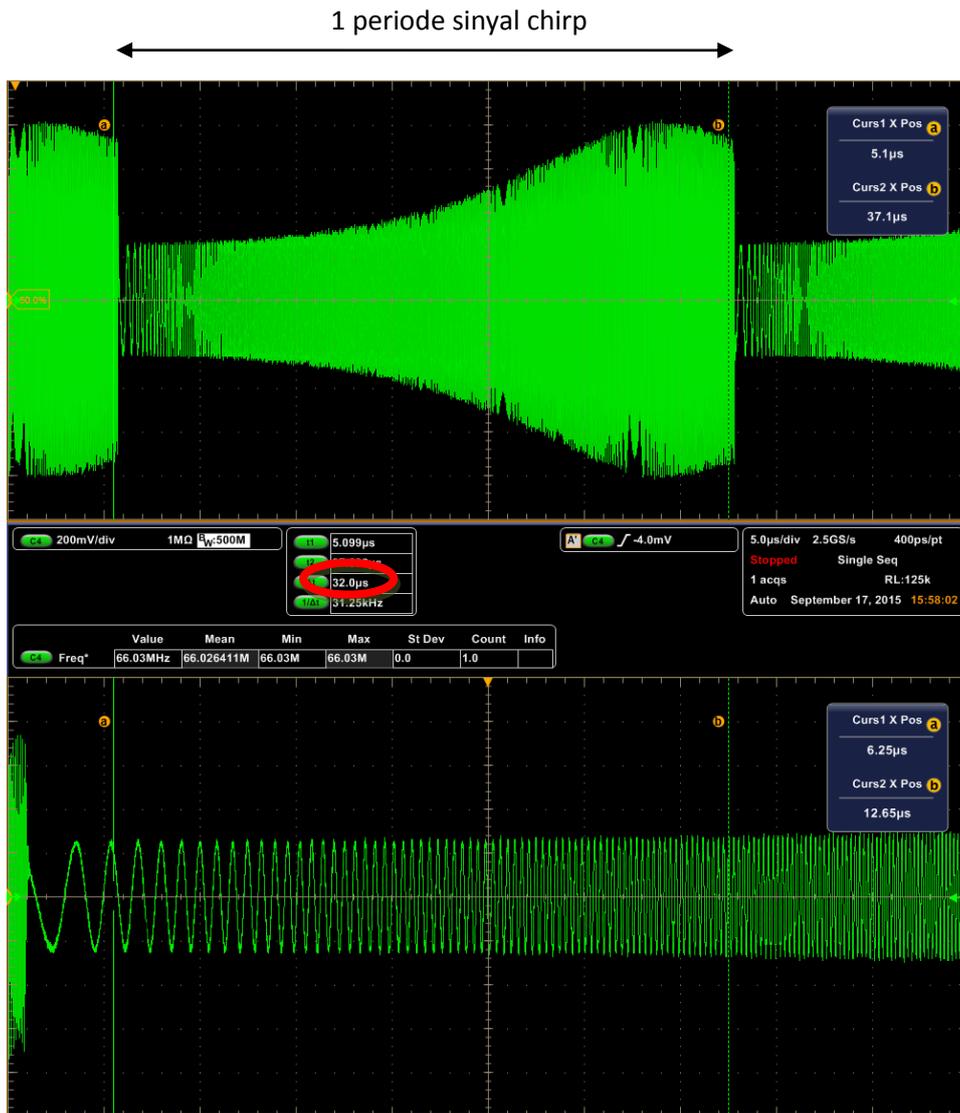
Pengukuran yang dilakukan bertujuan untuk mengetahui keluaran sinyal *chirp* yang dihasilkan serta lebar *bandwidth*. Hasil pengukuran rangkaian *DDS chirp generator* yang diimplementasikan pada FPGA ditunjukkan pada Gambar 5-2a, b dan Gambar 5-3.



Gambar 5-1: Timing diagram sinyal keluaran DDS chirp generator menggunakan counter VHDL



(a) Sinyal Keluaran Cosinus



(b) Sinyal Keluaran Sinus

Gambar 5-2: Hasil pengukuran menggunakan osiloskop



Gambar 5-3: Hasil pengukuran menggunakan spektrum analyzer

Gambar 5-2 a menunjukkan sinyal keluaran dari ROM cosinus yang berupa sinyal *up-chirp cosines* dengan frekuensi 1 MHz sampai dengan 81 MHz dan periode satu *chirp* sinyal adalah sekitar 32us sesuai dengan perhitungan awal *chirp duration*. Sedangkan Gambar 5-2 b menunjukkan sinyal keluaran dari ROM sinus yang berupa sinyal *up-chirp sinus* dengan frekuensi 1 MHz sampai dengan 80 MHz dan periode satu *chirp* sinyal adalah sekitar 32us sesuai dengan perhitungan awal *chirp duration*. Pada Gambar 5-3 menunjukkan hasil pengukuran sinyal keluaran dengan menggunakan *spectrum analyzer*. Dari hasil pengukuran terlihat mengalami pergeseran nilai frekuensi sehingga nilai *bandwidth* yang dicapai sebesar 75,9 MHz, berbeda dengan rancangan yang diinginkan sebesar 80 MHz. Hal ini bisa disebabkan karena blok rangkaian pada FPGA.

6 KESIMPULAN

Pada makalah ini, suatu pembangkit sinyal *chirp* berdasar pada metode *DDS Chirp Signal Generator* telah didiskusikan. Sistem ini direalisasikan menggunakan teknologi FPGA, menggunakan *development board* produksi Terasic tipe DE2-115 dengan FPGA *Altera Cyclone IV* yang digunakan untuk menghasilkan suatu sinyal *chirp* dengan *bandwidth* 80 MHz dan frekuensi *sampling* 200 MHz yang disesuaikan dengan karakteristik sinyal *chirp* yang dibutuhkan oleh LSA-SAR.

Sistem *DDS Chirp Signal Generator* ini telah dites menggunakan osiloskop digital dan hasil keluaran sinyalnya sudah berupa *chirp* sesuai spesifikasi rancangan yang telah dibuat. Namun berdasarkan pengukuran menggunakan *spectrum analyzer* menunjukkan bahwa *bandwidth* yang dicapai sebesar 75,9 MHz, hal ini berarti masih perlu penyempurnaan pada blok rangkaian di FPGA apabila nanti akan diaplikasikan pada sistem SAR sebenarnya. Namun secara keseluruhan hasil realisasi ini

menunjukkan bahwa sistem berjalan dengan baik.

UCAPAN TERIMA KASIH

Terimakasih penulis ucapkan kepada Bapak Ir. Suhermanto, MT., selaku Kepala Pusat Teknologi Satelit LAPAN dan Bapak Wahyudi Hasbi, Mkom. selaku Kepala Bidang Teknologi Muatan Satelit, LAPAN yang telah memfasilitasi penelitian ini, juga kepada Dedy El Amin, ST, Widya Roza, ST, dan Rifky Ardinal, yang telah membantu dalam pengukuran dan pengetesan alat.

DAFTAR RUJUKAN

- Analog Devices, Inc., 2009. *Fundamental of Direct Digital Synthesis (DDS)*, Implementation of DDS Chirp Signal Generator on FPGA.
- Chua, M. Y. And V. C. Koo, 2009. *FPGA-Based Chirp Generator for High Resolution UAV SAR*, Progress in Electromagnetics Research, PIER 99, 71-88, 2009.
- Cumming, Ian G., and Frank H. Wong, 2005. *Digital Processing of Synthetic Aperture Radar Data*, London: Artech House.
- Hakim, Teuku Mohd Ichwanul, Wahyudi, Wirawan Adi, K. Panjaitan Lidia, Anggraeni Dewi, dan Ari Wandono Fajar, 2012. *Top Level Specifications for A Light Surveillance Aircraft*, Technical Report, LAPAN.
- Heein Yang, Sang-Burm Ryu, Hyun-Chul Lee, Sang-Gyu Lee, Sang-Soon Yong, Jae-Hyun Kim, *Implementation of DDS Chirp Signal Generator on FPGA*, Ajou University, Suwon. <http://winner.ajou.ac.kr/publication/data/conference/1570016207.pdf> diunduh: 20 Maret 2015.
- J. T. Sri Sumantyo, Koo Voon Chet, Robertus Heru Triharjanto, 2013. *Development of UAV and Microsatellites for Remote Sensing*, The 20 CERes International Symposium, SOMIRES 2013, Symposium on Microsatellites for Remote Sensing, Chiba University, ISBN: 978-4-901404-07-5.
- K. V., Raeshma, 2014. *Waveform Generation Based on Complete DDS Tech. for Radars*, International Journal Of Engineering

- Research & Technology (IJERT), Vol. 3 Issue 7, July-2014, ISSN: 2278-0181.
- Mahafza, Bassem R., 2005. *Radar Systems Analysis and Design Using Matlab*. 2nd Edition, Chapman & Hall/CRC, Boca Raton.
- Moreira, Alberto, Prats-Iraola, Pau, Younis, Marwan, Krieger, Gerhard, Hajnsek, Irena, and P. Papathanassiou, Konstantinos, 2013. *A Tutorial on Synthetic Aperture Radar*, IEEE Geoscience and Remote Sensing Magazine, March 2013. Digital Object Identifier 10.1109/MGRS.2013.2248301.
- Samarah, Ashraf, 2012. *A Novel Approach for Generating Digital Chirp Signals Using FPGA Technology for Synthetic Aperture Radar Applications*. German: University of Siegen.
- Soleh, Muchammad dan Arief, Rahmat, 2014. *Analisis Parameter-Parameter Utama untuk Desain Sensor SAR pada LSA (Lapan Surveillance Aircraft)*, Akuisisi dan Koreksi Data Penginderaan Jauh, Proceeding Seminar Nasional Penginderaan Jauh 2014.
- Soleh, Muchammad, Arief, Rahmat, Musyarofah Widipaminto, Ayom, 2013. *Simulation of Synthetic Aperture Radar System Parameters for Light Surveillance Aircraft-LAPAN*, 34th Asian Conference on Remote Sensing 2013, Vol. 2, Bali, Indonesia.
- Surastyo, Fuad dan Kusumoaji, Danartomo, 2015. *Analisis Prediksi Direct Operating Cost Pesawat Lapan Surveillance Aircraft (LSA-01)*, Teknologi Pesawat Terbang Sebagai Mitra Pengembang Teknologi Roket dan Satelit Nasional, Buku Ilmiah, Penerbit Indonesia Book Project, IBP, ISBN 978-602-70353-3-1.
- Suto, Kyohei, J.T. Sri Sumantyo, Cheaw W. Guey, Koo Voon Chet, 2013. *FPGA Variable Base Chirp Pulse Generator For Synthetic Aperture Radar Onboard Unmanned Aerial Vehicle System*, 34th Asian Conference on Remote Sensing 2013, Vol. 1, Bali, Indonesia.
- Setyadewi Tri, Imas dan Broto Estu, Prasepvianto, 2015. *Uji Coba Kamera Tetracam ADC Air sebagai Payload Pesawat LSA-01 untuk Pemantauan Vegetasi*, Teknologi Pesawat Terbang Sebagai Mitra Pengembang Teknologi Roket dan Satelit Nasional, Buku Ilmiah, Penerbit Indonesia Book Project, IBP, ISBN 978-602-70353-3-1.
- Wicks, Brandon and Adam Elliott, 2007. *DDS Waveform Generator*, New York: Artemis Inc.

